

W274



Europäisches Patentamt  
European Patent Office  
Office européen des brevets



(11) Publication number:

**0 210 605 B1**

(12)

## EUROPEAN PATENT SPECIFICATION

(45) Date of publication of patent specification: 27.02.91 (51) Int. Cl. 5, H01J 37/32

(21) Application number: 86110241.6

(22) Date of filing: 25.07.86

### (54) Plasma processing method and apparatus.

(30) Priority: 25.07.85 US 759616

(43) Date of publication of application:  
04.02.87 Bulletin 87/06

(45) Publication of the grant of the patent:  
27.02.91 Bulletin 91/09

(84) Designated Contracting States:  
DE FR GB

(56) References cited:  
WO-A-82/02979

PATENT ABSTRACTS OF JAPAN, vol. 8, no.  
103 (E-244)[1540], 15th May 1984; & JP-A-59  
19 326

(73) Proprietor: TEXAS INSTRUMENTS INCORPORATED

13500 North Central Expressway  
Dallas Texas 75265(US)

(72) Inventor: Wooldridge, Timothy A.  
402 Crestover Circle

Richardson, TX 75080(US)

Inventor: Bonifield, Thomas D.

10040 Lakemere

Dallas, TX 75238(US)

Inventor: Abernathy, Joe V.

3655 Touchstone

Wylie, TX 75098(US)

Inventor: Davis, Cecil J.

Rt. 4, Box 113C

Greenville, TX 75401(US)

Inventor: Jucha, Rhett B.

Rt. 1, Box 113-1A

Celeste, TX 75423(US)

(74) Representative: Leiser, Gottfried, Dipl.-Ing. et al

Patentanwälte Prinz, Leiser, Bunke & Partner  
Manzingerweg 7  
D-8000 München 60(DE)

**EP 0 210 605 B1**

Note: Within nine months from the publication of the mention of the grant of the European patent, any person may give notice to the European Patent Office of opposition to the European patent granted. Notice of opposition shall be filed in a written reasoned statement. It shall not be deemed to have been filed until the opposition fee has been paid (Art. 99(1) European patent convention).

### Description

The present invention relates to devices and methods for fabrication of integrated circuits.

In modern integrated circuit fabrication, plasma processing is universally used for a large number of steps. Plasma etching generates a glow discharge close to an integrated circuit wafer in a source gas mixture, so that free radicals and ions are generated to etch the species on the wafer surface, assisted by ion bombardment in degrees which vary depending on the total gas pressure, electrode configuration, and various other factors. Depending on the material being etched, the pressure may be anywhere from a few thousandth mbar to a few mbar, or even wider than this range. Processes using pressures in the lower part of this range are commonly referred to as reactive ion etching (RIE) processes, but the present invention is also applicable to such etch processes.

The present invention is primarily applicable to plasma etching although it is also applicable to other processing techniques which use plasmas in proximity to an integrated circuit, such as generation of a hydrogen plasma to assist in diffusion of atomic hydrogen to passivate polysilicon active devices.

In plasma etching, the wafer will generally be supported on a susceptor which includes cooling fluid connections, and a facing electrode will be separately connected to another terminal of the power supply. This configuration is referred to as a "parallel plate" reactor. When an RF voltage is applied between the susceptor and the electrode, a plasma will be initiated in the low-pressure gas between them and etching begins. In the prior art, electrodes for plasma etching have been made from a wide variety of materials, including aluminum, stainless steel, graphite, and other metals.

The present invention is particularly advantageous in single-slice parallel plate etching reactors. Single-slice reactors have the advantage over multi-slice parallel plate reactors that wafer-to-wafer uniformity is enhanced. In such reactors, the volume of the process chamber is kept to an absolute minimum to facilitate rapid throughput without excessive time requirements for pumpdown and purging. Typically process gases will be supplied to the process chamber through holes in the electrode, and exhausted through exhaust vents around the periphery of the wafer. However, in a typical single-slice reactor, the electrode and the susceptor may be separated by only a centimeter or so, and the electrode will be exposed to ion bombardment to approximately the same degree that the wafer will. This causes the problem in the prior art that electrode material may be sputtered off the electrode and deposited onto the wafer, which will

cause a variety of problems depending on the device being built.

This is a particular problem in oxide etching. In etching silicon oxides, high ion bombardment conditions are typically required, and high power density is preferably used to obtain acceptable etching rates. However, the fluorine-based plasmas normally used for oxide etching cannot volatilize the electrode material sputtered off of many of the electrodes which would normally be preferably. For example, fluorine will not volatilize transition metals or aluminum. Graphite has been the preferred electrode for oxide etching previously, because fluorocarbons are volatile. However, since graphite electrodes are polycrystalline, this same reactivity causes another problem: etching will proceed selectively along the grain boundaries of the graphite, so that carbon particles, of sizes in the neighborhood of a micrometer, may be freed from the carbon electrodes to be dropped onto the wafer and cause contamination.

Moreover, uniformity of ion bombardment is critical in oxide etching, and the necessary degree of uniformity cannot be attained in large volumes. Thus oxide etching is normally performed in single-slice reactors, or in other reactors which have conditions similar to those found in single-slice reactors.

To avoid this problem with graphite electrodes, one possibility would be to apply coatings to the electrodes. For example, one manufacturer currently uses electrodes of silicon sprayed on aluminum; another uses an aluminum electrode under conditions where polymer is continually being deposited on it (which leads to especially severe particulate problems); another uses a graphite electrode with holes (for gas flow) in it. RIE reactors for oxide etching generally have to protect all internal metal parts, not merely the electrode; usually this is done with a polymer coating of some sort.

However, protective coatings are always inherently susceptible to being sputtered away, and eventually the coating will be gone and sputtering of the electrodes will resume. Again, this is particularly a problem with high-power processes. A further disadvantage of this possibility is that preparation of properly coated electrodes is difficult and expensive.

The present invention eliminates the problem of particulates sputtered off of the electrode, and also eliminates any need for coating the electrode. The present invention also advantageously provides an electrode having an excellent lifetime and durability.

The present invention uses a silicon electrode in plasma etching. In many etch processes, this electrode has the advantage that the silicon electrode has volatile etch byproducts, so that no par-

ticulates are created from the electrode by the etch process. This electrode also has the advantage that it is wholly monocrystalline, so that no effect of preferential etching on grain boundaries can produce particulates.

A problem with aluminum or stainless steel electrodes is a drop in the etch rate as etching progresses. This problem is not well understood, but may be caused by thermal warpage of the electrode, and loss of contact to the powered back plate behind the electrode, as etching progresses and the electrode heats up. This problem too is avoided by the present invention.

The present invention is immediately attractive as a way to reduce particulate levels, but it also produces more uniform etching: both batch-to-batch uniformity and uniformity across a wafer are improved. The reasons for these two improvements are not well understood, but they do provide two additional very important advantages of the present invention.

The present invention thus has the following crucial advantages over the prior art: longevity; higher etch rate; reduced number of particulates; greater slice-to-slice uniformity; and greater uniformity across a slice; and other advantages as well.

According to the present invention there is provided: A process for plasma treatment of integrated circuit wafers, comprising the steps of: inserting a wafer onto a susceptor in a vacuum chamber; evacuating said vacuum chamber and flowing predetermined process gases therein; applying rf power between said susceptor and a monocrystalline silicon electrode.

According to the present invention there is also provided: A plasma reactor comprising: a susceptor with means for holding a semiconductor wafer thereon; an electrode comprising monocrystalline silicon; and means for applying rf power between said susceptor and said electrode.

The present invention will be described with reference to the drawings, wherein:

Figure 1 shows a sample embodiment of the present invention in a single-slice plasma reactor;

Figure 2 shows a sample embodiment of a monocrystalline silicon electrode according to the present invention;

Figure 3 shows a sample method for fabricating the silicon electrode used in the invention.

The present invention will be described with reference to particular preferred embodiments thereof, but it should be recognized that the present invention can also be used in a wide range of other embodiments. The embodiments provided are illustrative and intend to set forth the presently preferred best mode of the invention, together with a few preferred alternatives.

Figure 1 shows a first sample embodiment of the present invention. This shows a single-slice plasma reactor in the closed position, i.e., in the position where rf power would be applied. A wafer 12, for example 10,16 cm four inches in diameter, is supported on a susceptor 14. The susceptor 14 includes a manifold 22 through which coolant can be flowed to regulate the temperature of the wafer. The wafer is opposed at a low separation, e.g. 4.75 mm (3/16th of an inch), by an electrode 10. The electrode 10 is made of single-crystal silicon having multiple holes therein, and is preferably supported by a retaining ring 28. A manifold 20 is optionally used for electrode coolant. A process gas inlet 18 supplies process gases to the back-side of the electrode 10, so that these gases flow through the holes in electrode 10 into the space defined between electrode 10 and wafer 12. These gases flow out around the periphery of wafer 12, to be exhausted through exhaust port 24. Note that a dielectric 17 preferably laterally surrounds the edge of wafer 12, so that the plasma is generated primarily above the face of wafer 12. This provides a uniform plasma, and avoids any enhanced ion bombardment rate near the edges of the wafer 12. A collimator 16 helps provide uniform alignment of the wafer to the electrode. An O-ringed mating surface 26 permits opening and closing the process chamber so that wafers can be removed easily.

In a sample application of the present invention, this apparatus is used for plasma etching of oxides. For example, in the sample application, the space in between the surface of the electrode 10 and the surface of wafer 12 would be approximately 4.5 mm, and, for a wafer 12 having a 10,16 cm (4 inch) diameter and electrode 10 having a 10,16 cm (4 inch) diameter, an rf power of 230 watts would be applied between them. For oxide etching, a fluorine-bearing gas mixture would be used, such as CHF<sub>3</sub> mixed with a little O<sub>2</sub>; for example, 90 sccm of CHF<sub>3</sub> could be flowed together with 4 sccm of O<sub>2</sub>, together with 150 sccm of helium for cooling, to provide a total process gas pressure of 0.93 mb (700 milliTorr). Under these conditions, a CVD undoped silicon oxide will etch at a rate in the neighborhood of 60 μm (6000 angstroms) per minute.

Figure 2 shows the electrode 10, in the presently preferred embodiment, in greater detail. Note that the electrode is substantially thicker than a standard silicon wafer. Preferably the electrode is at least 1.8 mm (.070 inches) thick. This not only provides longer lifetime, but providing more margin against erosion of the electrode by the process gases, but also provides mechanical strength to withstand the pressure differential which occurs during a typical purge cycle. (During a typical

purge cycle the exhaust port 24 would be connected to a roughing vacuum pump, while the process gas inlet 18 would be connected to dry nitrogen at a pressure of 2,1 bar (30 psi).

The holes 32 in the electrodes 10 are preferably relatively small, i.e., less than 0,5 mm (0.020 inches) in diameter, in order to provide a uniform distribution of process gases over the wafer.

Note that the electrode 10 also preferably has a chamfered edge 30 to facilitate clamping by the clamping ring 28 shown in Figure 1.

The fabrication of these multiple holes in monocrystalline silicon is not possible by conventional machining means such as drilling or punching. To fabricate this electrode, the presently preferred embodiment uses laser drilling, as shown in Figure 3. Electrode 10 is supported on electrode holder 52 which is carried on an XY stage 54 supported on a solid table 56. A laser head 58 applies a high intensity laser spot 60, and attacks the silicon electrode 10 by ablation caused by repeated high power pulses. Preferably the hole is drilled by cutting multiple concentric circles with the laser beam. Preferably a first circle is drilled through the electrode at 20% of the desired diameter for the hole 32, and another circle is then drilled at 30% of the full diameter, until by succession of such steps a full diameter hole has been drilled. The stage is then moved to position the next hole position for drilling. The typical time requirement for drilling a 0,5 mm (0.020) inches diameter hole and moving to the next hole is 45 seconds, using a YAG laser CO<sub>2</sub>, at approximately 5 watts and 16 amps at a pulse rate of 3khz. After all holes are drilled, cleanup of the electrode is performed with a mixture of hydrochloric, nitric and acetic acids, to remove the slag deposited by drilling and to smooth the rough surfaces of the holes in electrode 10.

Alternatively, other methods could be used to drill the holes in the electrode 10. For example, orientation dependent etching could be used instead. Preferably a thick slice of 110 oriented silicon is used. After the thick 110 slice is ground and polished, an oxide film is grown to serve as a hard mask, and is patterned. The silicon is then wet etched according to the hard mask pattern with an orientation dependent wet etch step, using an etch such as aqueous potassium hydroxide, edetate disodium phosphate, or HF plus HNO<sub>3</sub> plus acetic acid.

As noted above, the present invention has numerous advantages. In a sample application of the present invention, the number of particles between 0.2 and 2  $\mu\text{m}$  found on a wafer after a plasma processing step was measured using both a graphite electrode and a silicon electrode, in a 10,16(four inch) plasma reactor according to the present in-

vention. The background particle level, (i.e. the level measured after loading in the wafer, pumping down, purging, and then unloading the wafer, without applying any rf power) was found to be 35 particles in the reactor according to the present invention and 70 particles in the graphite electrode reactor. When rf power is applied, that is, when a wafer is cycled through a full normal process cycle, the particle count in the silicon electrode reactor was found to be 36 particles, i.e. not significantly increased. However, the particle level in the graphite electrode reactor was found to be 299 particles, rather than the 70 particles which were found when rf power was not applied. Thus, it may be seen that the reactor in the process of the present invention provides substantial benefits in particulate reduction.

The present invention has been described with reference to the principal preferred embodiments thereof, but, as will be apparent to those skilled in the art, the present invention can be widely modified and varied, and the invention is not limited except as specified in the claims.

## Claims

1. A plasma reactor comprising: a susceptor with means for holding a semiconductor wafer thereon;
2. The reactor of claim 1, wherein said electrode comprising monocrystalline silicon; and means for applying rf power between said susceptor and said electrode.
3. The reactor of claim 1, wherein said electrode is larger than said wafer.
4. The reactor of claim 1, wherein said electrode is thicker than 1,58 mm
5. The reactor of claim 1, wherein said electrode and susceptor are substantially parallel and opposing, and are separated by less than two centimeters.
6. The reactor of claim 1, wherein said susceptor further comprises means for cooling said wafer.
7. The reactor of claim 1, wherein said susceptor is adapted to hold only one said wafer at a time.
8. The reactor of claim 6, further comprising means for opening and closing said reactor, so that wafers can be processed while said

- susceptor and electrode are at a first separation distance and wafers can be removed and inserted while said susceptor and electrode are at a second separation distance which is more than twice said first separation distance.
8. The reactor of claim 6, wherein said electrode further comprises holes in the face thereof sufficiently large for gas to flow through.
9. The reactor of claim 8, wherein said electrode is connected to a gas supply to flow gas through said holes.
10. The reactor of claim 8, further comprising means for exhausting process gases around the perimeter of said wafer.
11. A process for plasma treatment of integrated circuit wafers, comprising the steps of:  
inserting a wafer onto a susceptor in a vacuum chamber;  
evacuating said vacuum chamber and flowing predetermined process gases therein;  
applying rf power between said susceptor and a monocrystalline silicon electrode.
12. The process of claim 11, wherein said process gases comprise a substantial percentage of a fluorine-bearing species.
13. The process of claim 12, wherein said wafer has a mask layer over an oxide layer at the surface thereof, said mask layer being patterned to expose predetermined pattern areas of said oxide to be etched by species released from said fluorine-bearing species.
- Revendications**
1. Réacteur à plasma comprenant :  
un support ayant un dispositif de retenue d'une tranche semi-conductrice sur lui,  
une électrode comprenant du silicium monocristallin, et  
un dispositif destiné à appliquer de l'énergie à haute fréquence entre le support et l'électrode.
  2. Réacteur selon la revendication 1, dans lequel l'électrode est plus grande que la tranche.
  3. Réacteur selon la revendication 1, dans lequel l'électrode a une épaisseur supérieure à 1,58 mm.
  4. Réacteur selon la revendication 1, dans lequel l'électrode et le support sont sensiblement parallèles et placés en regard, et ils sont séparés par une distance inférieure à 2 cm.
  5. Réacteur selon la revendication 1, dans lequel le support comprend en outre un dispositif de refroidissement de la tranche.
  6. Réacteur selon la revendication 1, dans lequel le support est destiné à supporter une seule tranche à la fois.
  7. Réacteur selon la revendication 6, comprenant en outre un dispositif destiné à ouvrir et fermer le réacteur afin que des tranches puissent être traitées lorsque le support et l'électrode sont à une première distance de séparation et que des tranches puissent être retirées et introduites alors que le support et l'électrode sont à une seconde distance de séparation qui est plus de deux fois plus grande que la première distance de séparation.
  8. Réacteur selon la revendication 6, dans lequel l'électrode comporte en outre des trous formés dans sa face et suffisamment grands pour qu'un gaz puisse y circuler.
  9. Réacteur selon la revendication 8, dans lequel l'électrode est connectée à une source de gaz afin qu'un gaz circule dans les trous.
  10. Réacteur selon la revendication 8, comprenant en outre un dispositif destiné à évacuer les gaz de traitement autour de la périphérie de la tranche.
  11. Procédé de traitement de tranches de circuits intégrés par un plasma, comprenant les étapes suivantes :  
l'introduction d'une tranche sur un support dans une chambre sous vide,  
l'évacuation de la chambre sous vide et la circulation dans celle-ci de gaz prédéterminés de traitement, et  
l'application d'énergie à haute fréquence entre le support et une électrode de silicium monocristallin.
  12. Procédé selon la revendication 11, dans lequel les gaz de traitement contiennent un pourcentage important d'une espèce contenant du fluor.
  13. Procédé selon la revendication 12, dans lequel la tranche a une couche formant un masque placée sur une couche d'oxyde, à sa surface, la couche formant un masque constituant un

dessin permettant l'exposition de zones pré-déterminées du dessin d'oxyde à attaquer par une espèce libérée par l'espèce contenant du fluor.

### Ansprüche

1. Plasmareaktor mit einem Aufnehmer mit Mitteln zum Halten einer Halbleiterscheibe, einer Elektrode aus monokristallinem Silicium und Mitteln zum Anlegen von HF-Energie zwischen den Aufnehmer und die Elektrode. 10
  2. Reaktor nach Anspruch 1, bei welchem die Elektrode größer als die Scheibe ist. 15
  3. Reaktor nach Anspruch 1, bei welchem die Elektrode dicker als 1,58 mm ist. 20
  4. Reaktor nach Anspruch 1, bei welchem die Elektrode und der Aufnehmer im wesentlichen parallel und gegenüberliegend angeordnet und um weniger als 2 cm voneinander getrennt sind. 25
  5. Reaktor nach Anspruch 1, bei welchem der Aufnehmer außerdem Mittel zum Kühlen der Scheibe enthält. 30
  6. Reaktor nach Anspruch 1, bei welchem der Aufnehmer gleichzeitig jeweils nur eine Scheibe halten kann. 35
  7. Reaktor nach Anspruch 6, mit Mitteln zum Öffnen und Schließen des Reaktors, so daß Scheiben bearbeitet werden können, während der Aufnehmer und die Elektrode in einem ersten Trennabstand voneinander liegen und Scheiben entnommen und eingeführt werden können, während der Aufnehmer und die Elektrode in einem zweiten Trennabstand voneinander liegen, der mehr als zweimal größer als der erste Trennabstand ist. 40
  8. Reaktor nach Anspruch 6, bei welchem die Elektrode ferner in ihrer Fläche Löcher aufweist, die genügend weit für das Hindurchströmen von Gas sind. 45
  9. Reaktor nach Anspruch 8, bei welchem die Elektrode an einen Gasvorrat angeschlossen ist, damit Gas durch die Löcher strömt. 50
  10. Reaktor nach Anspruch 8, ferner mit Mitteln zum Absaugen von Prozeßgasen rund um den Umfang der Scheibe. 55
11. Verfahren zur Plasmabehandlung integrierter Schaltungsscheiben, gekennzeichnet durch folgende Schritte: Einführen einer Scheibe auf einen Aufnehmer in einer Unterdruckkammer; Evakuieren der Unterdruckkammer und Strömenlassen vorbestimmter Prozeßgase in der Kammer; Anlegen von HF-Energie zwischen den Aufnehmer und eine monokristalline Siliciumelektrode.
12. Verfahren nach Anspruch 11, bei welchem die Prozeßgase einen beträchtlichen Prozentsatz einer Fluor enthaltenden Art umfassen.
13. Verfahren nach Anspruch 12, bei welchem die Scheibe über einer Oxidschicht auf ihrer Oberfläche eine Maskenschicht aufweist, wobei die Maskenschicht mit einem Muster versehen ist, damit vorbestimmte Musterbereiche des Oxids freigelegt werden, die durch von den Fluor haltenden Arten freigesetzten Arten geätzt werden.

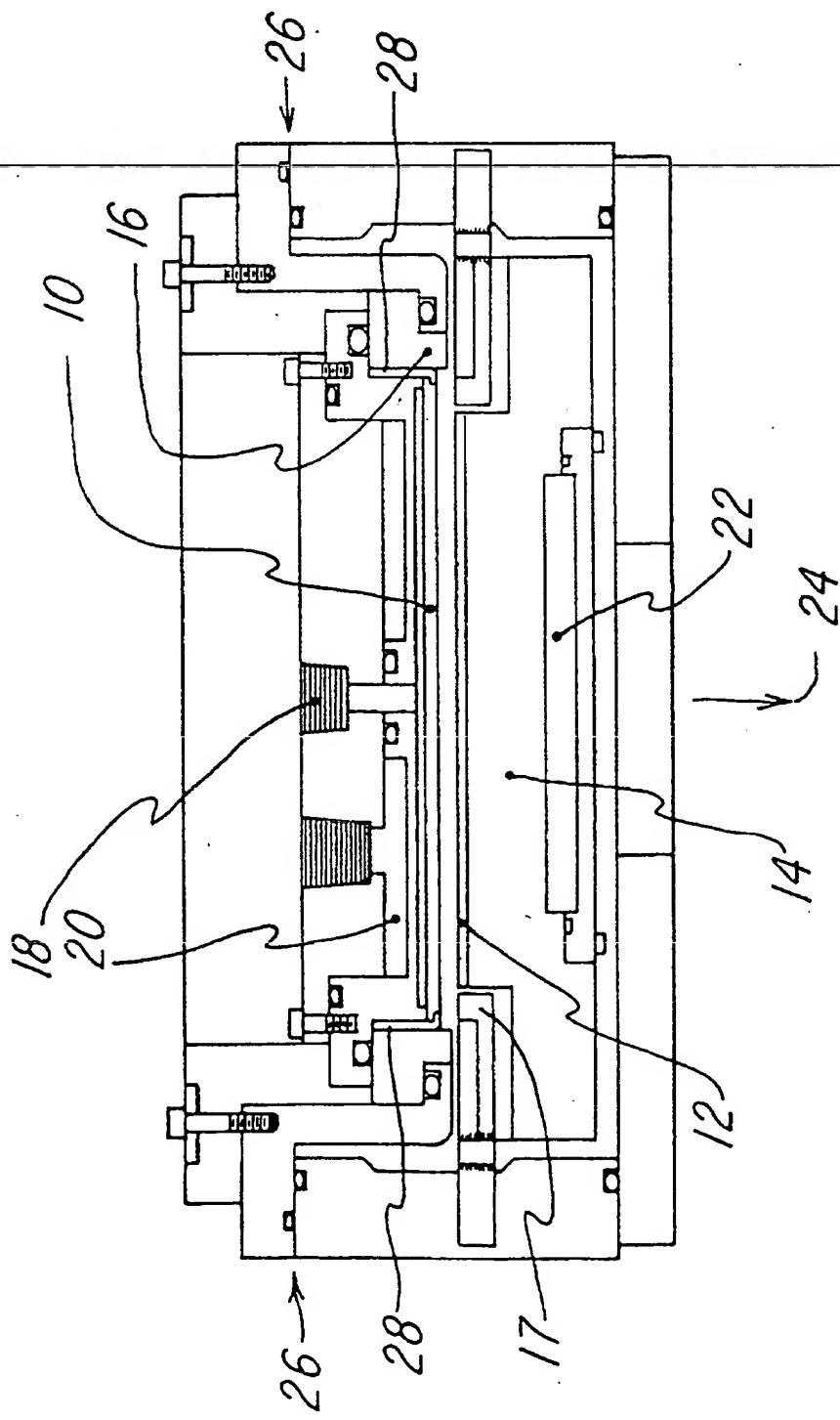


Fig. 1

EP 0 210 605 B1

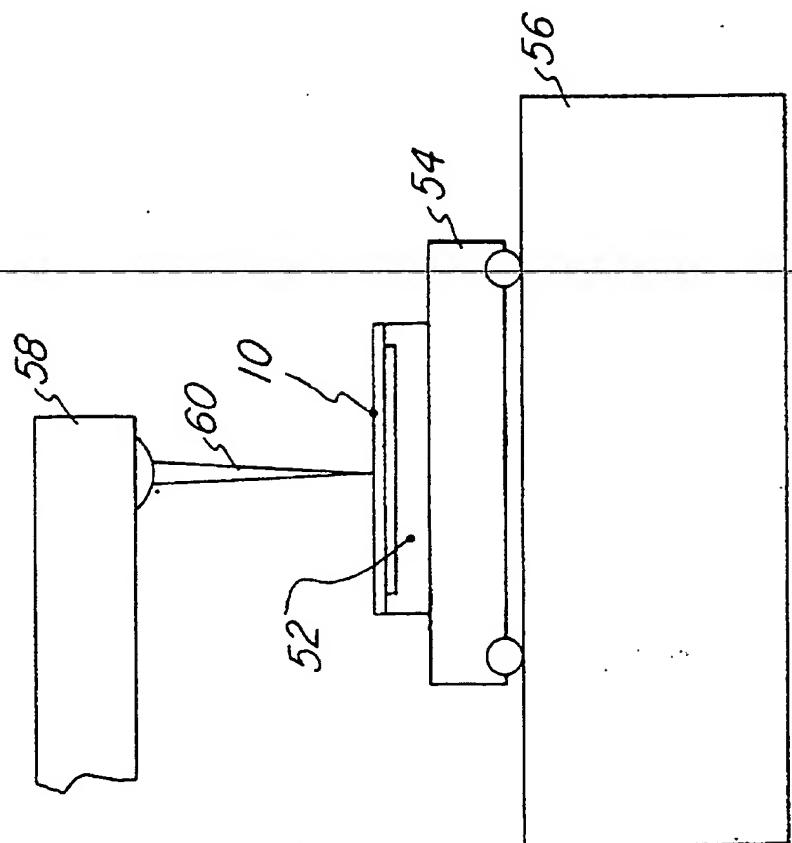


Fig. 3

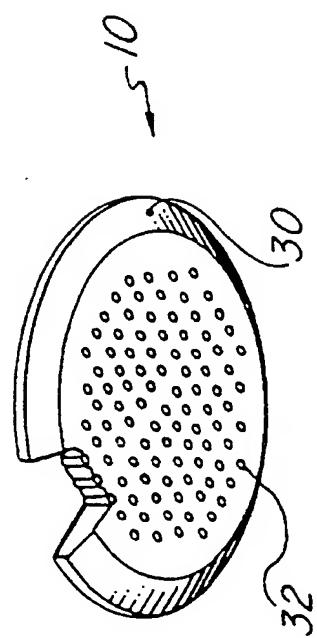


Fig. 2

W274

(19)日本国特許庁 (JP)

## (12)特許公報 (B2)

(11)特許出願番号

特公平7-40567

(24) (44)公告日 平成7年(1995)5月1日

(51)Int.Cl.  
H 01 L 21/3065

識別記号

府内整理番号

F I

技術表示箇所

H 01 L 21/ 302

C

発明の数2(全6頁)

(21)出願番号 特願昭61-175448

(22)出願日 昭和61年(1986)7月25日

(65)公開番号 特開昭62-85430

(43)公開日 昭和62年(1987)4月18日

(31)優先権主張番号 759616

(32)優先日 1985年7月25日

(33)優先権主張国 米国(US)

(71)出願人 99999999

テキサス インスツルメンツ インコーポ  
レイテッドアメリカ合衆国テキサス州ダラス、ノース  
セントラル エクスプレスウェイ  
13500

(72)発明者 トーマス エイ. ウールドリッジ

アメリカ合衆国テキサス州リチャードソ  
ン、クレストオーバー サークル 402

(72)発明者 ジョウ ブイ. アバーナシイ

アメリカ合衆国テキサス州ウェイリー、タウ  
チストン 3655

(74)代理人 弁理士 浅村 鑑 (外2名)

審査官 刑部 優

最終頁に続く

(54)【発明の名称】 プラズマ処理の方法と装置

## 【特許請求の範囲】

【請求項1】真空容器内の保持器の上にウェハを取り付ける段階と、

前記真空容器を排気し、かつ、前記真空容器内に予め定められた処理ガスを流す段階と、

前記保持器と単結晶シリコン電極との間にrf電力を印加する段階と、

を有する集積回路ウェハのプラズマ処理の方法。

【請求項2】半導体ウェハをその上に保持するための装置をそなえた保持器と、

事実上単結晶である材料で構成された電極と、

前記保持器と前記電極との間にrf電力を印加するための装置と、

を有するプラズマ反応装置。

## 【発明の詳細な説明】

## 【産業上の利用分野】

本発明は集積回路の製造法とその装置に関するものである。

近年の集積回路の製造において、プラズマ処理が多くの段階において広く用いられている。プラズマ・エッ칭では、集積回路ウェハのすぐ近くで、ソース・ガス混合体の中でグロー放電をさせ、それにより遊離基とイオンが発生してウェハ表面上の物質のエッチングが行なわれる。このエッチングはイオン衝撃によって行なわれるが、このイオン衝撃の強さは、全ガス圧や、電極の構造や、その他のいろいろな因子に依つて変わる。どのような材料に対してエッチングを行なうかによって、数ミリトルから数トルの範囲内のいずれかに圧力が選定される。または、この範囲内よりもっと広い範囲内で圧力を選定することもできる。この範囲内の低圧力の領域での

処理は、通常、反応性イオン・エッティング (RIE, reactive ion etching) と云われる。本発明は、このようなエッティング処理にも適用することができる。

本発明は主としてプラズマ・エッティングに適用される。ただし、集積回路の近傍でプラズマを使用する他の処理技術、例えば水素プラズマを発生させて原子状水素の拡散を助け、多結晶シリコンの活性装置を不動態化するといった処理技術にも適用することができる。

#### [従来の技術とその問題点]

プラズマ・エッティングでは、一般に、ウエハは保持器上に保持され、そしてこの保持器は冷却用流体を流すための装置に連結され、そして対向電極は電源の他の端子に別に接続される。この構造体は「平行板」反応装置と云われる。この保持器と電極との間にrf電圧がかけられると、これらの間の低圧ガス内にプラズマが発生し、エッティングが始まる。先行技術では、プラズマ・エッティングのための電極はいろいろな材料、例えば、アルミニウム、ステンレス・スチール、グラファイトおよびその他の金属で作られる。

本発明は、単一スライス平行板エッティング反応装置の場合に、特に利点がえられる。単一スライス装置は、多重スライス平行板反応装置に比べて、ウエハ毎の均一性がより良くなるという利点をもつ。このような反応装置では、処理容器の体積が非常に小さく、排気や換気に余分の時間がかかるないので、処理量を容易に大きくすることができます。典型的な場合には、処理ガスは電極にあけられた穴を通じて処理容器内に供給され、そしてウエハの周縁の排気路から排気される。けれども、典型的な単一スライス反応装置では、電極と保持器とは1センチメートル程度しか離れていない、電極はウエハとほぼ同程度にイオン衝撃を受ける。このことは先行技術において、電極材料が電極からスパッタリングによって削り取られてウエハ上に沈着するという問題点を生ずる。このことは、作製される装置によつては、いろいろな問題点を生ずる原因となりうる。

この問題点は酸化物をエッティングする場合には特に重大である。シリコン酸化物をエッティングするさい、典型的な場合には、高イオン衝撃が必要であり、そして好ましいエッティング速度をうるためには、エネルギー印加密度を大きくすることが必要である。けれども、酸化物エッティングに通常用いられるフッ素を基体とするプラズマは、多くの電極のスパッタリングで削り取られた電極材料を揮発させることができない。例えば、フッ素は遷移金属またはアルミニウムを揮発させない。グラファイトは、酸化物エッティングに対し、従来は好ましい電極であつた。それは過フッ化炭化水素は揮発性であるからである。けれども、グラファイト電極は多結晶であるので、この同じ反応性は別の問題点を生ずる。すなわち、エッティングはグラファイトの粒子境界に沿つて選択的に進むことである。その結果、1ミクロン程度の寸法の炭素粒

子が炭素電極から離れて、ウエハ上に降下し、そして汚染の原因となる。

さらに、イオン衝撃の均一性は酸化物エッティングにおいて重要である。大きな体積で、必要な程度の均一性をうることはできない。したがつて、通常酸化物エッティングは単一のスライス反応装置の中で行なわれる。または、単一スライス反応装置と同様の状態をもつ他の反応装置の中で行なわれる。

グラファイト電極の場合のこの問題点を解決する1つの可能な方法は、電極に被覆体をつけることである。例えば、ある製造業者は最近アルミニウムの上にシリコンを噴霧した電極を使用した。また別の製造業者は重合体がそのすべての表面上に沈着されたアルミニウム電極を使用した。(これは特に重大な微粒子の問題点を生ずる。) 別の製造業者はその中に(ガスを流すための)穴を備えたグラファイト電極を使用した。一般に、酸化物エッティングのためのRIE反応装置は、単に電極だけでなく、すべての内部の金属部分を保護しなくてはならない。通常、このことはある種の重合体被覆によつて実行される。

けれども、保護被覆体は、本来常に、スパッタリングによつて削り取られるものである。そして最終的には、被覆体は除去され、その後、電極のスパッタリングが再び始まる。再び、このことは大電力による処理の時には特に問題点となる。この方法がもつその他の欠点は、適切に被覆された電極を作ることが難しく、かつ、コストが高いことである。

#### [発明が解決しようとする問題点]

本発明は電極のスパッタリングで削り取られる微粒子の問題点をなくし、かつまた、電極を被覆する必要をなくする。本発明によりまたすぐれた寿命と耐久力のある電極がえられる。

#### [問題点を解決するための手段]

本発明は、プラズマ・エッティングにおいて、シリコン電極を使用する。シリコン電極はそのエッティング副産物が揮発性であるという利点を有しており、したがつて、エッティング処理によつて電極から微粒子が生ずることはない。この電極はまた全体が単結晶であつて、したがつて、粒子境界が優先的にエッティングされて微粒子が生ずるという効果がないといいう利点を有している。

アルミニウム電極またはステンレス・スチール電極の場合、エッティングが進むと共に、エッティング速度が低下するといいう問題点がある。この問題点は十分には解明されていないが、電極の熱的変形によるものと思われる。エッティングが進行しそして電極が加熱される時、電極の背後にあら電力が供給される背後板との接触が失われることによるものであろう。この問題点もまた、本発明の好ましい実施例によつて、解決される。

本発明は、微粒子数を減らす1つの方法として大変魅力的なものであるが、また本発明によつて、より一層均一

なエッティングがえられる。すなわち、一群の製品毎の均一性も、また1つのウエハについての均一性も、また1つのウエハについての均一性も、改良される。このような製品群および1つの製品に対する均一性が良くなる原因は十分には解明されていないが、本発明に付加される2つの重要な利点である。

したがつて、本発明は先行技術にくらべて次のような重要な利点を有する。すなわち、寿命が長いこと、エッティング速度が速いこと、微粒子数が少ないと、スライス毎の均一性が良いこと、1つのスライスについての均一性が良いこと、およびその他の利点である。

本発明により、真空容器内の保持器の上にウエハを取り付ける段階と、前記真空容器を排氣する段階と、その中に予め定められた処理ガスを流す段階と、前記保持器と単結晶シリコン電極との間にrf電力を印加する段階とを有する、集積回路ウエハのプラズマ処理のための方法がえられる。

本発明によりまた、その上に半導体ウエハを保持するための装置を備えた保持器と、事実上単結晶で構成された電極と、前記保持器と前記電極との間にrf電力を印加するための装置とを有するプラズマ反応装置がえられる。

#### [実施例]

本発明を好ましい特定の実施例に基づいて説明するが、本発明はまた広範囲の他の実施例にも適用可能であることを断つておく。説明される実施例は例示的なものであり、そして少数の好ましい変更実施例を含めて、本発明の最も好ましい態様を示そうとしたものであつて、本発明が包含する全範囲をそれで定めようとするものではない。

第1図は本発明の第1実施例の図面である。この図面において、接近した位置に配置された、すなわち、rf電力が印加される位置に配置された、單一スライス・プラズマ反応装置が示されている。保持器14の上にウエハ12が保持される。このウエハ12の直径は、例えば、102ミリメートル(4インチ)である。保持器14は多岐管22を有している。この多岐管を通じて冷却剤が流れることができ、それによってウエハの温度が制御される。このウエハは小さな間隔、例えば、4.8ミリメートル(3/16インチ)の間隔をもつて電極10と対向する。電極10は多数の穴を有する単結晶シリコンで作成されることが好ましい。電極10は保持用リング28によって保持されることが好ましい。多岐管20は電極冷却剤に対して必要な時に使用することができる。処理ガス流入口18は処理ガスを電極10の裏側に供給する。すると、これらのガスは電極10にあけられた穴を通じて、電極10とウエハ12との間の空間に流れ込む。これらのガスはウエハ12の周縁から流出して、排気口24を通じて排出される。ウエハ12の端部の周縁が横方向に誘電体17によつて取り囲まれることが好ましい。このことにより、プラズマが主としてウエハ12の表面上に発生する。このようにして均一なプラズマが

えられ、そしてイオン衝撃速度がウエハ12の端部付近で特に大きくなることはない。コリメータ16によつてウエハと電極との間の均一な位置合わせをうることができるので、オーリング付きの合わせ面26によつてこの処理容器を開けたり、そして閉じることができるので、ウエハの取り出しが非常に簡単である。

本発明の1つの応用例として、酸化物のプラズマ・エッティングにこの装置が用いられる。例えばこの場合、電極10の表面とウエハ12の表面との間の間隙は約4.5ミリメートルであり、そして直径102ミリメートル(4インチ)のウエハ12と直径102ミリメートル(4インチ)の電極10に対し230ワットのrf電力がそれらの間に加えられた。酸化物をエッティングする場合には、CHF<sub>3</sub>と少量のO<sub>2</sub>との混合物のようなフッ素を含んだ混合ガスが用いられる。例えば、90sccmのCHF<sub>3</sub>が4sccmのO<sub>2</sub>とおよび冷却のための150sccmのヘリウムと一緒に流され、そして処理ガスの全体の圧力が700ミリメートルにされる。これらの条件の下で、ドープされていないCVDシリコン酸化物が毎分6000オングストローム程度の速さでエッティングされるであろう。

第2図は好ましいこの実施例の電極10を詳細に示した図面である。この電極は、標準的なシリコン・ウエハよりは、ずっと厚いことに注意してほしい。この電極の厚さは少なくとも1.8ミリメートル(0.070インチ)であることが好ましい。このことにより寿命が長くなるばかりではなく、処理ガスによる電極の腐食に対しより多くの余裕がえられ、かつ、典型的な換気サイクルのさいに生ずる圧力差に十分耐えられる機械的強度もえられる。(典型的な換気サイクルの場合には、排気口24は粗引真空ポンプに連結され、一方、処理ガス流入口18は50トル(30psi)の圧力の乾燥窒素に連結される。)

電極10の穴32は、処理ガスがウエハ上に均等に分布するように、比較的小さいことが好ましい、すなわち、直径が0.50ミリメートル(0.020インチ)以下であることが好ましい。

電極10はまた端部が面取り20されていて、第1図に示された取り付けリング28に容易に取り付けることができるようになつていていることに注意されたい。

単結晶シリコンにこのような多数の穴をあけることは、穴ぐりまたは打ち抜きのような従来の機械装置による方法では困難である。この電極を作製するためのここで説明する好ましい実施例は、第3図に示されているように、レーザを用いた穴あけである。電極10は電極保持器52の上に保持される。この電極保持器52はX・Yステージ54の上に乗つておらず、そしてこのX・Yステージはしつかりした台56の上に乗つている。レーザ・ヘッド58が大強度のレーザ・スポット60を投射する。そして、大強度パルスを繰り返し投射することによって生ずる融解および蒸発によって、シリコン電極10が侵食される。レーザビームにより、穴あけが同心円状に何回にも分けて行

なわれることが好ましい。電極にあけられる第1の穴は穴32の必要な直径の20%であることが好ましく、次に全直径の30%の穴があけられる。このような段階を繰り返すことによって、完全な直径の穴があけられることが好ましい。その後、次に穴があけられる位置にステージが移動する。直径0.50ミリメートル(0.020インチ)の穴があけられそして次の穴の位置に移動するのに要する時間の典型的な値は、YAGレーザCO<sub>2</sub>を用い、約5ワット、16アンペアで、パルス繰り返し速度3kHzの時、45秒である。全部の穴があけられた後、塩酸と硝酸と酢酸との混合物によって、この電極を清浄することが行なわれる。この清浄段階によって、穴あけのさいに沈着したスラグが除去され、かつ、電極10にあけられた穴の内面の凹凸が平滑になる。

また、電極10に穴をあけるのに他の方法を用いることができる。例えば、方位に依つてエッティング速度の異なるエッティングを利用することができる。この場合、110方位のシリコンの厚いスライスが用いられることが好ましい。厚い110スライスが削られそして研磨された後、酸化物の膜を表面に成長させ、そしてこの酸化物膜がパターンに作られる。この酸化物膜は丈夫なマスクとしての役割を果たす。それからこのシリコンは、水酸化カリウム溶液、燐酸2ナトリウム酢酸塩、またはHFとHNO<sub>3</sub>と酢酸の混合物のようなエッティング剤を用いて、方位に依存する湿式エッティング段階により、前記マスク・パターンに従つて、湿式エッティングが行なわれる。

これまで述べてきたように、本発明は多くの利点を有している。本発明による102ミリメートル(4インチ)プラズマ反応装置において、グラファイト電極とシリコン電極を使用した場合、プラズマ処理段階の後、ウエハ上に見出される0.2ミクロンと2ミクロンの間の大きさをもつた粒子の数が測定された。本発明による反応装置において、粒子数のバツクグラウンド・レベルは(すなわち、rf電力を加えないで、ウエハを単に取り付け、排気し、換気を行ない、そしてウエハを取り出した時にウエハ上に見出される粒子数のレベル)は35個であり、そしてグラファイト電極反応装置では70個であった。rf電力が加えられると、すなわち、ウエハが通常の処理サイクルを完全に受けと、シリコン反応装置での粒子数は36個であった。すなわち、特別な増加は認められなかつた。けれども、グラファイト電極反応装置での粒子数は299個であった。この数は、rf電力を加えなかつた場合の粒子数70個に比べて、かなり大きい。したがつて、本発明の反応装置により、特に微粒子減少量において大きな利点のえらられることがわかる。

本発明を好ましい主要な実施例に基づいて説明したけれども、当業者にはすぐわかるように、本発明にいろいろの変更を行なうことは可能である。本発明は特許請求の範囲によつてのみ定められ、それから直ちにえらえる変更実施例はすべて本発明の範囲内に含まれるものと解す

べきである。

以上の説明に関連して更に以下の項を開示する。

(1) 半導体ウエハをその上に保持するための装置をそなえた保持器と、  
事実上単結晶である材料で構成された電極と、  
前記保持器と前記電極との間にrf電力を印加するための  
装置と、  
を有するプラズマ反応装置。

(2) 第1項において、前記電極が単結晶シリコンで構成された反応装置。

(3) 第1項において、前記電極の大きさが前記ウエハよりも大きい反応装置。

(4) 第1項において、前記電極の厚さが1.6ミリメートル(16分の1インチ)よりも厚い反応装置。

(5) 第1項において、前記電極と前記保持器とが事実上平行でかつ対向しており、および前記電極と前記保持器との間の距離が2センチメートル以下である反応装置。

(6) 第1項において、前記保持器が前記ウエハを冷却するための装置をさらに有する反応装置。

(7) 第1項において、前記保持器が一度にただ1つの前記ウエハを保持することができる反応装置。

(8) 第7項において、前記反応装置を開くためのおよび閉じるための装置をさらに有し、その結果前記保持器と前記電極との間の距離が第1距離にある時前記ウエハを処理することができ、かつ、前記保持器と前記電極との間の距離が前記第1距離の2倍以上である第2距離にある時前記ウエハを取り去ることができるおよび挿入することができる反応装置。

(9) 第7項において、前記電極がその面内にガスが十分に流れることができる大きさの穴をさらに有する反応装置。

(10) 第9項において、前記電極がガス供給装置に連結されて前記穴を通してガスを流すことができる反応装置。

(11) 第9項において、前記ウエハの周縁から処理ガスを排出するための装置をさらに有する反応装置。

(12) 真空容器内の保持器の上にウエハを取り付ける段階と、  
前記真空容器を排気し、かつ、前記真空容器内に予め定められた処理ガスを流す段階と、  
前記保持器と単結晶シリコン電極との間にrf電力を印加する段階と、  
を有する集積回路ウエハのプラズマ処理の方法。

(13) 第12項において、前記処理ガスがフッ素を含んだ化合物をかなりのパーセントだけ含んでいるプラズマ処理の方法。

(14) 第13項において、前記ウエハがその表面の酸化物層の上にマスク層を有し、前記マスク層がパターンを作られて前記フッ素を含んだ化合物から放出された化合物

によつてエッティングされるべき前記酸化物の予め定められたパターン領域を露出させるプラズマ処理の方法。

[発明の効果]

本発明により、集積回路製造のさいに用いられるプラズマ処理において、発生する微粒子が極めて少なく、かつ、極めて良い均一性のえられるプラズマ処理法とそのための反応装置がえられる。本発明による方法と装置において、処理ガスを流すための多数の小さな穴があけられた単結晶シリコンを用いるという工夫がなされており、それにより発生微粒子数が極めて少なく、また耐久性が優れていて寿命が長く、そして大きなエッティング速度がえられると共に、かつ、スライス毎についてもまた1つのスライスの中でも極めて良い均一性がえられると

いう特徴がある。

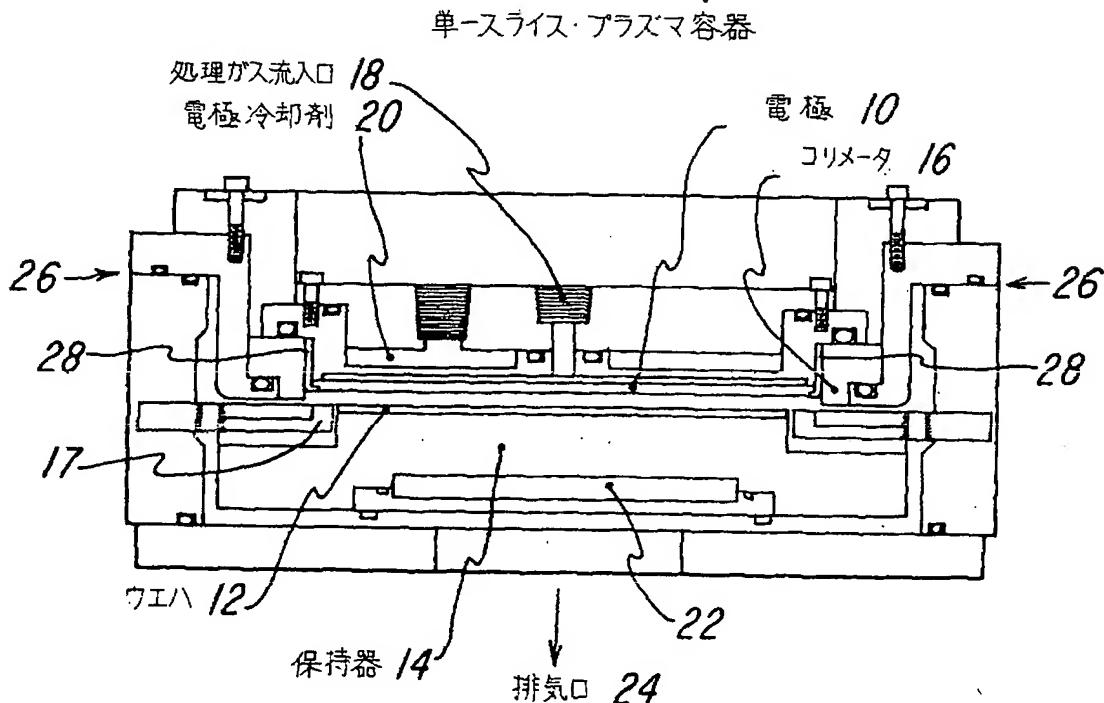
【図面の簡単な説明】

第1図は本発明による单ースライス・プラズマ反応装置の1つの実施例、第2図は本発明による単結晶シリコン電極の1つの実施例、第3図は本発明の好ましい実施例に用いられるシリコン電極の製造法を示した図面である。

[符号の説明]

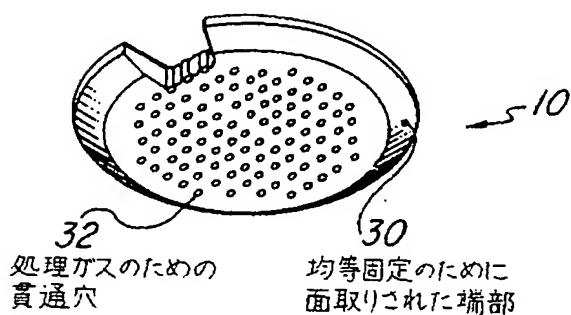
- 10……電極
- 14……保持器
- 18……処理ガス流入口
- 24……排出口
- 12……ウェハ

【第1図】



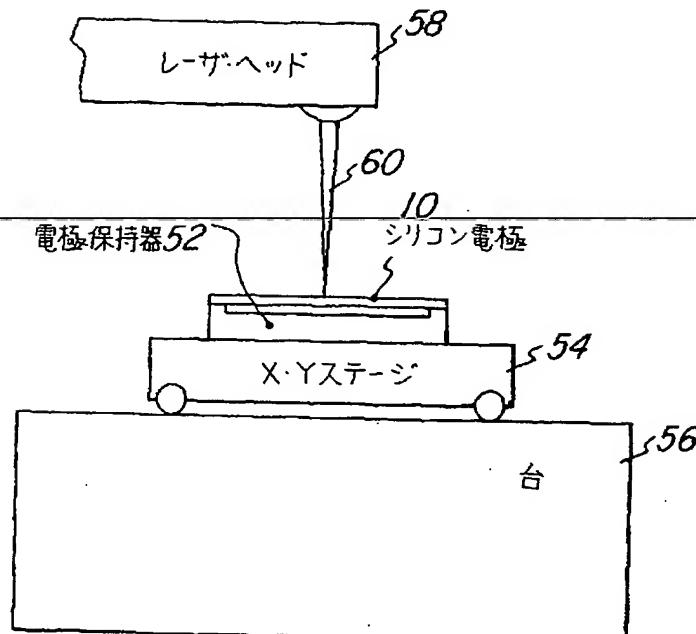
【第2図】

单ースライス・シリコン電極



【第3図】

レーザによる穴あけ



フロントページの続き

(72)発明者 トマス デイー、ポニフィールド  
アメリカ合衆国テキサス州ダラス、レイク  
メア 10040

(72)発明者 セシル ジエイ、デービス  
アメリカ合衆国テキサス州グリーンビル、  
ボックス 113シー、ルート 4

(72)発明者 レット ビー、ジヤツカ  
アメリカ合衆国テキサス州セレステ、ボツ  
クス113-1エイ、ルート 1

(56)参考文献 特開 昭55-154582 (J P, A)  
特開 昭56-87670 (J P, A)  
特開 昭62-37934 (J P, A)